

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

4

(11)Publication number : 2002-036625

(43)Date of publication of application : 06.02.2002

(51)Int.Cl.

B41J 2/44  
G02B 26/10  
H04N 1/113  
H04N 1/23

(21)Application number : 2000-227488

(71)Applicant : RICOH CO LTD

(22)Date of filing : 27.07.2000

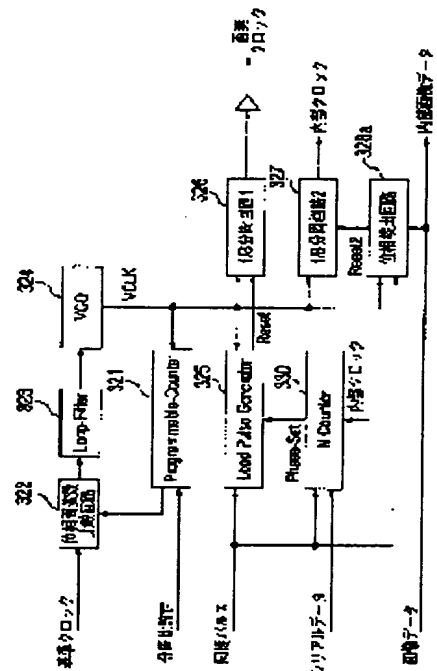
(72)Inventor : ITABASHI AKIHISA  
EMA HIDETOSHI

## (54) IMAGING APPARATUS

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To obtain a high quality image by correcting positional shift of a plurality of light emitting points in the main scanning direction when a semiconductor laser array is used while inclining, a machining error occurs at the time of manufacturing the semiconductor laser array, or a plurality of semiconductor lasers are combined as a light source section.

**SOLUTION:** Data for correcting shift of the writing start position in the scanning direction due to positional shift of each light emitting point in the scanning direction is loaded to an N-adic counter 330 and a count is set. The N-adic counter 330 generates a Phase-Set signal and shifts the phase of a pixel clock.



## LEGAL STATUS

[Date of request for examination]

23.08.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

特開2002-36625

(P2002-36625A)

(43)公開日 平成14年2月6日(2002.2.6)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マ-ト*(参考)
B 4 1 J 2/44		G 0 2 B 26/10	A 2 C 3 6 2
G 0 2 B 26/10			B 2 H 0 4 5
		H 0 4 N 1/23	1 0 3 Z 5 C 0 7 2
H 0 4 N 1/113		B 4 1 J 3/00	M 5 C 0 7 4
1/23	1 0 3	H 0 4 N 1/04	1 0 4 A
		審査請求 未請求 請求項の数7	OL (全 22 頁)

(21)出願番号	特願2000-227488(P2000-227488)	(71)出願人	000006747 株式会社リコー 東京都大田区中馬込1丁目3番6号
(22)出願日	平成12年7月27日(2000.7.27)	(72)発明者	板橋 彰久 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
		(72)発明者	江間 秀利 東京都大田区中馬込1丁目3番6号 株式 会社リコー内
		(74)代理人	100078134 弁理士 武 顕次郎 (外1名)

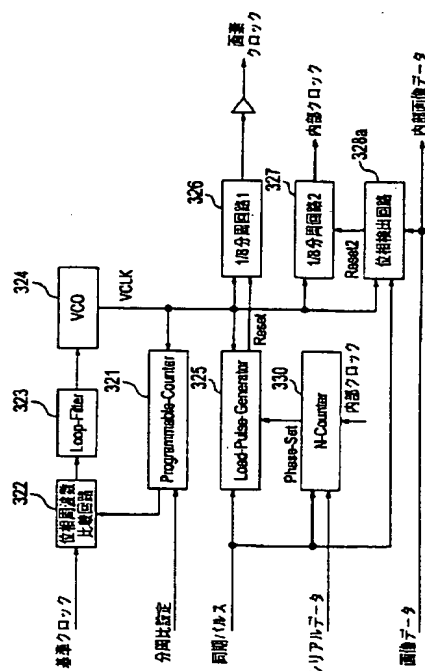
[最終頁に続く](#)

(54) 【発明の名称】 画像形成装置

(57) 【要約】

【課題】 半導体レーザーアレイを傾けて使用する場合や、半導体レーザーアレイの製造時の加工誤差が生じる場合や、半導体レーザーを複数個組み合わせる光源部とした場合に、複数の発光点の主走査方向の位置ズレを補正して高品位な画像を得る。

【解決手段】 各発光点の走査方向の位置ずれによる走査方向の書き込み開始位置のずれを補正するためのデータをN進カウンタ330にロードしてカウント値を設定し、N進カウンタ330によりPhase-Set信号を生成し、画素クロックの位相をシフトさせる。



## 【特許請求の範囲】

【請求項 1】 出力画素クロックに同期し、複数ラインの画像データのそれぞれに応じて変調された複数の光束を偏向器により走査方向に走査して被走査媒体上を走査する画像形成装置において、  
前記複数の光束の各発光点の走査方向の位置ずれによる走査方向の書き込み開始位置のずれを補正するように前記出力画素クロックの位相を前記ライン毎に制御するクロック位相制御手段、を備えたことを特徴とする画像形成装置。

【請求項 2】 前記クロック位相制御手段は、  
高周波クロック発生手段と、  
前記高周波クロック発生手段の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相が変更可能な第 1 の分周手段と、  
前記第 1 の分周手段の位相を変更する位相変更手段と、  
前記高周波クロック発生手段の出力を分周して内部クロックを生成するとともに、前記内部クロックの位相が変更可能な第 2 の分周手段と、を備えたことを特徴とする請求項 1 記載の画像形成装置。

【請求項 3】 前記高周波クロック発生手段は、電圧制御発振回路と、前記電圧制御発振回路の出力を分周するプログラマブル・カウンタと、前記プログラマブル・カウンタの出力と基準周波数との位相を比較する位相比較回路を有する PLL 回路により構成され、前記第 1 の分周手段が前記電圧制御発振回路の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相を位同期信号に同期させることを特徴とする請求項 2 記載の画像形成装置。

【請求項 4】 前記出力画素クロックに同期して画像データに基づいて最適な露光エネルギー分布が得られる変調パターンを生成する変調パターン生成回路を更に有することを特徴とする請求項 3 または 4 記載の画像形成装置。

【請求項 5】 前記変調パターン生成回路は、複数ライン毎の各出力画素クロックの位相を変更可能であることを特徴とする請求項 4 記載の画像形成装置。

【請求項 6】 請求項 2 記載の第 1 の分周手段及び位相変更手段と、請求項 3 または 4 記載の PLL 回路と、請求項 5 記載の変調パターン生成回路とを共通の IC 内に構成することを特徴とする画像形成装置。

【請求項 7】 半導体レーザ変調駆動回路をさらに前記共通の IC 内に構成することを特徴とする請求項 6 記載の画像形成装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、画像形成装置に関し、より詳細には、レーザプリンタ、デジタル複写機等における光源として用いられる半導体レーザの光出力を制御及び変調する画像形成装置に関する。

## 【0002】

【従来の技術】この種の従来例として、例えば特開平 5-075199 号公報、特開平 5-235446 号公報、特開平 9-321376 号公報には、半導体レーザの光出力をモニタする受光素子の受光電流と発光指令電流とを常時比較することにより、高速に半導体レーザを制御する光電気負帰還ループを構成し、かつ発光指令電流に比例した電流を光電気負帰還ループの出力電流に加算して半導体レーザに流すことにより高速に半導体レーザを変調する方法が提案されている。このようにすることにより、半導体レーザの温度特性・ドレイン特性などを抑制し、かつ高速変調を実現する。

【0003】しかしながら、半導体レーザの光出力をモニタする受光素子の特性により、半導体レーザの光出力が小さくなってくると受光素子の光入力に対する受光電流出力特性の直線性が著しく劣化してくる。このため、低光出力の場合の制御精度が悪くなり、所定の光出力より大きな光出力になってしまう場合がある。このようなことが発生すると、レーザプリンタ等において地膚汚れなどの悪影響を与えてしまう。

【0004】また、常時光出力を制御しているので、制御系を正常動作させるためにも光出力を完全に消灯することができず、これはオフセット光を生じさせることになる。また、半導体レーザに駆動電流を加算する駆動電流を設定する回路が必要とされ、レーザプリンタなどの光変調 IC の機能を向上させる場合の回路規模的制約を伴うことになる。

【0005】更に、一つの半導体レーザの光出力のみを検出する受光素子を必要とするため、半導体レーザアレイのように複数のレーザの出力を一つの受光素子により検出する場合には、外部に各々の光出力を分離して検出する手段が要求される。

【0006】また、他の従来例として、特開平 11-167081 号公報に記載されているようにダイレクトシンセサイザによる画素クロック周波数設定方法は、周波数刻みを LUT（ルックアップテーブル）のデータを変更することにより高速に周波数変更が可能であるが、周波数可変刻みと出力周波数変更速度は、次に接続される PLL-LOOP の制御速度および低域通過フィルタと密接に絡み合い、全体構成を設計する際の制約になる。また、周波数刻みはマスタクロック周波数と LUT のビット数に依存し、細かな設定を行うためには、回路規模を増大させる必要が生じたり、もしくはマスタクロックを高速にする必要が生じ、1 チップ化を実現するには困難性が伴う。

【0007】特開平 5-207234 号公報に記載されているような PLL-LOOP に位相誤差を付加する方法では、位相誤差の付加信号を非常に安定にしなければ画素クロックの周波数誤差が発生してしまう。これは、デジタル回路とアナログ回路を一体化して 1 チップ IC

化を図るとき大きな制約となってしまう。

#### 【0008】

【発明が解決しようとする課題】図32に示す従来例を参照しながら更に説明する。同図において、半導体レーザユニット21から発光されたレーザ光は、ポリゴンミラー22が回転することによりポリゴンミラー22によりスキャンされ、走査レンズ23を介して被走査媒体（感光体）24上に光スポットを形成し、被走査媒体24を露光して静電潜像を形成する。このとき、半導体レーザユニット21は画像処理ユニット26により生成された画像データと位相同期回路29により位相が設定された画像クロックとに従い、半導体レーザの発光時間をコントロールすることにより、被走査媒体24上の静電潜像をコントロールする。また、位相同期回路29はクロック生成回路28により生成されたクロックの位相を、ポリゴンミラー22によりスキャンされた半導体レーザの光を検出するフォトディテクタ29に同期した位相に設定する。

【0009】このように、レーザ駆動回路27、位相同期回路29、クロック生成回路28は、レーザ走査光学系を用いた画像形成装置では被走査媒体24上に形成する静電潜像の位置精度、間隔精度上必要不可欠なものであり、このため画像クロックと同一の周波数を画像形成装置内でいくつもの経路を必要としてしまい、画像形成装置のEMIの問題を引き起こしてしまっていた。また、部品点数が多くなるためコスト上昇にもなる。更に、印字速度の上昇にしたがって画像データ転送クロックを全システムにおいて完全に同一タイミングで動作させることは非常に困難となり、画像データ転送を遅いクロックでデータを並列化して転送しなければならなくなる。

【0010】また、近年では、レーザプリンタの高速・高密度化に伴って、1つの光源からの光だけではなく複数の光源からの光により記録することにより高速・高密度化を図るマルチビーム光学系が採用されつつある。しかしながら、この場合には、光源として複数の半導体レーザを使用する場合と、一つのチップ上に複数の発光点をモノリシックにアレイ配列した半導体レーザアレイを使用する場合があり、これらは適宜、システムの観点から選択されることが望ましい。

【0011】しかしながら、従来、半導体レーザアレイに対しては受光素子がすべての半導体レーザに共通であるため、特開平5-75199号公報、特開平5-235446号公報、特開平9-321376号公報などに記載されている手法が使用できず、結果的に半導体レーザアレイを使用する場合にコスト的に高くついてしまっていた。

【0012】また、特開平5-75199号公報、特開平5-235446号公報、特開平9-321376号公報などに記載されているように半導体レーザの温度特

性・ドゥループ特性などの影響を除去するためには、常時制御が必要とされるが、同時に常時制御を実施するためオフセット光が生じてしまう。また、電流設定回路等が必要とされ回路規模が大きくなってしまう。さらに、半導体レーザアレイを使用した場合には外部に各々の光出力を分離して検出する手段が要求される。

【0013】また、半導体レーザのビームプロファイルは通常ガウス分布に近似され、ガウス分布に従い電子写真システムにおける静電潜像が形成される。このため、静電潜像は2値的ではなく、アナログ的分布をした箇所が解像度の増大にしたがって発生する。これは、現像バイアスの変動等の外部変動要因の影響を受けやすくなり、画像濃度変動を引起しやすくなってしまふ。

【0014】さらに、特開平11-167081に記載されているような、ダイレクトシンセサイザによる画素クロック周波数設定方法は、周波数刻みをLUTのデータを変更することにより高速に周波数変更が可能であるが、周波数可変刻みと出力周波数変更速度は、次に接続されるPLL-LOOPの制御速度および低域通過フィルタと密接に絡み合い全体構成設計上の制約になる。また、周波数刻みはマスタクロック周波数とLUTのビット数に依存するので、細かな設定を行うためには、回路規模を増大させる必要が生じたり、マスタクロックを高速にする必要が生じ、1チップIC化を実現するには困難さが伴う。

【0015】また、特開平5-207234号公報に記載されているようにPLL-LOOPに位相誤差を付加する方法では、位相誤差の付加信号を非常に安定にしなければ画素クロックの周波数誤差が発生してしまう。これは、デジタル回路とアナログ回路を一体化して1チップIC化を図るとき大きな制約となってしまう。

【0016】また、ポリゴンスキヤナ等の偏向器において、偏向反射面の回転軸からの距離のばらつき（内接円半径のばらつき）は、被走査面上を走査する光スポット（走査ビーム）の走査速度ムラを発生させる。同期光を検出後、所定のタイミングで書込信号が発せられて半導体レーザが発光を開始し、個々の発光源に対し1走査分ずつのデータが送られ、その繰り返しにより被走査媒体上に潜像として画像が形成される。

【0017】このとき、図33(a)(b)に示すようにポリゴンスキヤナ等の偏向器における上記要因により、各走査線の走査長のムラ（ばらつき）が現れ、これは書込倍率誤差と同様に主に画像端部で目立ち、前記書込終了端のばらつきが画像として、画像端部の揺らぎとして現れる（終了端部だけでなく途中像高でも画像の揺らぎは発生するが、端部に行くほど上記偏向器の要因による画像への影響は大きく、画像品質の劣化が目立つ）。この端部の揺らぎによる画像品質の劣化は、高品位の画質を要求する場合は補正を行う必要がある。

【0018】さらに、マルチビーム光学系の場合、各発

光源の発振波長に差があると、走査レンズの色収差が補正されていない光学系の場合に露光位置ズレが発生し、各発光源に対応する光スポットが被走査媒体上に走査するときの走査幅は、発光源ごとに差が生じてしまい、画像品質の劣化の要因になってしまうため、走査幅の補正を行う必要がある。

【0019】また、半導体レーザアレイの発光点間隔は、その熱的クロストークや電氣的クロストークの影響により近づけられる限界がある。また、半導体レーザアレイの発光点間隔を何種類も作るのはコスト的にデメリットとなる。しかし、走査光学系はその書込密度や走査幅により様々なものが開発されており、走査光学系の倍率も様々である。そのため、被走査面上で任意の走査ピッチを得るために、半導体レーザアレイを傾けることにより発光点のピッチが副走査方向において見かけ上所望のピッチになったようにして使用している。しかし、半導体レーザアレイを傾けた場合、各発光点から射出した光束の被走査面上での走査開始位置がずれてしまう。また、傾けない場合でも、半導体レーザアレイの製造時の加工誤差により生じる発光点の位置ズレによっても上記と同様に被走査面上での走査開始位置がずれてしまう。これは画像品質の劣化の要因になってしまうため、走査開始位置の補正を行う必要がある。

【0020】さらに複数の半導体レーザを組み合わせてマルチビーム光学系の光源部を構成する場合も、上記と同様に走査開始位置がずれるという問題があり、やはり画像品質の劣化の要因になってしまうため、走査開始位置の補正を行う必要がある。

【0021】また、光学系設計においては、出力画像の高画質化のために、光学系の高性能化（像面湾曲の低減、倍率誤差の低減、走査線曲がりの低減等）が図られているが、光学系の光学素子の構成枚数、面構成、材質の制約によりそれにも限度がある。さらなる高性能化を図るためには、光学素子枚数の増加、特殊形状面の導入、高価な光学材料の使用が必要になり、光学系のコストアップ、設計難易度の向上、加工難易度の向上という課題が生じる。

【0022】本発明は、上記問題点を鑑みてなされたものであり、半導体レーザアレイを傾けて使用する場合や、半導体レーザアレイの製造時の加工誤差が生じる場合や、半導体レーザを複数個組み合わせて光源部とした場合に、複数の発光点の主走査方向の位置ズレを補正して高品位な画像を得ることができる画像形成装置を提供することを目的とする。

【0023】本発明はまた、画像書き込みクロックの生成と半導体レーザアレイの制御を行う回路を効率的に1チップIC内に収め、小型、高速、低コスト化を実現することができる画像形成装置を提供することを目的とする。

【0024】

【課題を解決するための手段】第1の手段は上記目的を達成するために、出力画素クロックに同期し、複数ラインの画像データのそれぞれに応じて変調された複数の光束を偏向器により走査方向に走査して被走査媒体上に走査する画像形成装置において、前記複数の光束の各発光点の走査方向の位置ずれによる走査方向の書き込み開始位置のずれを補正するように前記出力画素クロックの位相を前記ライン毎に制御するクロック位相制御手段を備えたことを特徴とする。

10 【0025】第2の手段は、第1の手段において前記クロック位相制御手段が、高周波クロック発生手段と、前記高周波クロック発生手段の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相が変更可能な第1の分周手段と、前記第1の分周手段の位相を変更する位相変更手段と、前記高周波クロック発生手段の出力を分周して内部クロックを生成するとともに、前記内部クロックの位相が変更可能な第2の分周手段とを備えたことを特徴とする。

20 【0026】第3の手段は、第2の手段において前記高周波クロック発生手段が、電圧制御発振回路と、前記電圧制御発振回路の出力を分周するプログラマブル・カウンタと、前記プログラマブル・カウンタの出力と基準周波数との位相を比較する位相比較回路を有するPLL回路により構成され、前記第1の分周手段が前記電圧制御発振回路の出力を分周して前記出力画素クロックを生成するとともに、前記出力画素クロックの位相を位相同期信号に同期させることを特徴とする。

30 【0027】第4の手段は、第2、第3の手段において前記出力画素クロックに同期して画像データに基づいて最適な露光エネルギー分布が得られる変調パターンを生成する変調パターン生成回路を更に有することを特徴とする。

【0028】第5の手段は、第4の手段において前記変調パターン生成回路が、複数ライン毎の各出力画素クロックの位相を変更可能であることを特徴とする。

【0029】第6の手段は、請求項2記載の第1の分周手段及び位相変更手段と、請求項3または4記載のPLL回路と、請求項5記載の変調パターン生成回路とを共通のIC内に構成することを特徴とする。

40 【0030】第7の手段は、第6の手段において半導体レーザ変調駆動回路をさらに前記共通のIC内に構成することを特徴とする。

【0031】

【発明の実施の形態】以下、図面を参照して本発明の実施の形態について説明する。

【0032】図1は複数ビーム走査装置の実施の形態を示す。図1(a)に示す光源装置10は、図1(b)に詳しく示すように複数(この例では2個)の発光部11

50 a、12aを有する光源部と、各発光部11、12から射出した発散光束をカップリングするカップリングレン

ズ13、14を有する。カップリングレンズ13、14は、上記発散光束を「以後の光学系に適した光束形態（例えば平行光束、弱い発散性の光束や収束光束等）」に変換する。この実施の形態では、図1(a)に示すように、カップリングされた各光束は「平行光束B1、B2」として光源装置10から出射し、線像結像系としてのシリンドリカルレンズ3により偏向器である回転多面鏡4の偏向反射面近傍に、主走査方向に長くほぼ線状に結像する。

【0033】偏向反射面により偏向された2光束は、回転多面鏡4の等速回転に伴い等角速度的に偏向しつつ結像レンズ5、6を透過し、次いで光路折り曲げミラー7により光路を折り曲げられ、レンズ5、6の作用により被走査面である感光体8の感光面上に光スポットとして集光し、被走査面上の2走査線を走査する。2つの光スポットは、副走査方向に所望の間隔（走査ピッチ）を隔てて形成される。

【0034】光源部の各発光部の相対的な位置関係は、光源部と被走査面との間にある結像系（この実施の形態ではカップリングレンズ13、14、シリンドリカルレンズ4、結像レンズ5、6）の副走査方向の合成倍率Mに応じて上記「所望の走査線ピッチ」が実現されるように決定される。

【0035】ここで、光源装置10は図1(b)に示すように、2個の半導体レーザ11、12からの発散光束を、各半導体レーザに対応させたカップリングレンズ13、14により別個にカップリングして平行光束とし、カップリングされた光束をビーム合成プリズム15を用いてビーム合成する。ビーム合成プリズム15は偏光分離膜15Aを有し、カップリングレンズ13からの光束は偏光分離膜15Aを透過する。また、カップリングレンズ14からの光束は1/2波長板16により、偏光面を当初の状態から90度旋回され、プリズム面と偏光分離膜15Aで順次反射されてビーム合成プリズム15から出射する。

【0036】カップリングレンズ13、14の光軸（鎖線で示す）は、互いに平行で、ビーム合成プリズム15以後は、図のように1本に合成されて合成光軸AXとなる。図1(b)は上下方向が副走査方向である。半導体レーザ11、12の発光部11a、12aは、それぞれ対応するカップリングレンズ13、14の光軸に対して副走査方向に（互いに逆向きに）ずれており、このためビーム合成プリズム15によりビーム合成された各光束B1、B2は、副走査方向において互いに角をなす。

【0037】光源部は図1(b)に示す如きものに限らず、公知の適宜のものを用いることができる。例えば「複数の発光部をモノリシックにアレイ配列した半導体レーザアレイ」を用い、発光部から射出する複数の発散光束を共通のカップリングレンズによりカップリングするように構成してもよい。

【0038】半導体レーザアレイの発光点間隔は、その熱的クロストークや電氣的クロストークの影響により近づけられる限界（ $\sim 14 \mu\text{m}$ ）がある。また、半導体レーザアレイの発光点間隔を何種類も作るのはコスト的にデメリットとなる。しかし、走査光学系はその書込密度や走査幅により様々なものが開発されており、走査光学系の倍率も様々である。そのため、被走査面上で任意の走査ピッチを得るために、半導体レーザアレイを傾けることにより副走査方向のピッチが見かけ上所望のピッチになったようにして使用している。図2に示すように（この例は発光点が4つの半導体レーザアレイの例である）、発光点間隔Pの半導体レーザアレイを角度 $\theta$ 傾けることにより、図2(b)に示すように、副走査方向においてピッチが $P \cos \theta$ と同等になる。こうすることにより副走査方向の走査ピッチを任意の所望のピッチにすることができる。

【0039】しかし、半導体レーザアレイを傾けた場合、図2(b)に示すように、主走査方向の発光点位置が距離dだけズレてしまい、それにより各発光点から射出した光束の被走査面上での走査開始位置もズレてしまう。その場合、被走査面上では主走査方向の光学系全系の倍率が掛けられた量だけずれる。また、傾けない場合でも、半導体レーザアレイの製造時の加工誤差により生じる発光点の位置ズレによっても上記と同様に被走査面上での走査開始位置がずれてしまう。以上に述べてきた様に、主走査方向の発光点の位置のずれは、最終的な画像品質の劣化の要因になってしまうため、走査開始位置の補正を行う必要がある。

【0040】次に図3は汎用の半導体レーザを合計4個用いた4ビーム光源ユニットの具体的な斜視図を示す。図3において半導体レーザ101、102はアルミダイキャスト製の支持部材103の裏側に主走査方向に約8mm間隔で並設して形成された図示しない嵌合穴に各々圧入して支持され、第1射出軸に対称に一列に配置される。また、コリメートレンズ104、105は各々の半導体レーザの発散光束が平行光束となるようにX位置を、また所定のビーム射出方向となるようにY、Z位置を合わせて半導体レーザ101、102と対に形成したU字状の支持部103-1、103-2との隙間にUV硬化接着剤を充填し固定されて第1の光源部を構成する。同様に第2の光源部も支持部材108に半導体レーザ106、107が圧入され、コリメートレンズ109、109が固定されて構成する。

【0041】第1、第2の光源部は、x軸に対称に配置され、各々の射出軸（第1、第2の射出軸）と中心を一致させた円筒部103-6、108-6をベース部材110の裏側より嵌合穴110-1、110-2に上記円筒部を係合させ、位置決め部103-3、103-4、103-5及び108-3、108-4、108-5の各々3点を基準に当接し、位置決め部103-3、10

3-4、108-3、108-4においてベース部材の表側よりネジをとおして固定する。

【0042】ベース部材には各半導体レーザに対応したアパーチャが設けられた板111と、半導体レーザ106、107のビームを半導体レーザ101、102の光軸に近接させて射出するビーム合成プリズム112が支持される。上記のように構成したベース部材はホルダ部材113に保持され、走査光学手段を収納する光学ハウジング（図示しない）に走査光学手段の光軸に円筒部113-1の中心を合わせて取付を行うことで走査光学手段に複数のビームを入射せしめる。また、レバー113-3を調節ネジ115で上下させることによって円筒部113-1を中心として回転可能に保持される。

【0043】これにより走査光学系の配置誤差等によって走査線の傾きが生じるが、この走査線に合わせてビーム配列を傾けることができる。各半導体レーザの駆動回路が形成される基板114は、支柱113-2に固定され、半導体レーザのリードをハンダづけして回路接続がなされる。

【0044】上記に示したような複数の発光部を有する光源装置においては、各発光部の発振波長が異なることにより、図1に示す結像レンズ5、6の持つ色収差により被走査面上を走査する各走査光の倍率が異なり、露光幅が異なるという現象を起こしてしまう。また、半導体レーザアレイを傾けた場合と同様に、図3から明らかなように、主走査方向の発光点位置がズレた構成となっており、それにより各発光点から射出した光束の被走査面上での走査開始位置もズレてしまう。この主走査方向の走査開始位置のずれは、半導体レーザアレイを傾けた場合と同様に、最終的な画像品質の劣化の要因になってしまうため、走査開始位置の補正を行う必要がある。

【0045】上記の発光点の位置のずれを言い換えると、「偏向走査平面（主走査平面）と直交する軸に対する半導体レーザの各発光点の相対的位置が異なる場合」と言い変えることができる。このような状態の場合、つまり偏向走査平面と直交する軸上に各発光点の相対位置がない場合に、被走査面上の光スポットの走査開始位置は主走査方向においてずれた位置になり、書込端部は「がたがた」した画像になってしまう。

【0046】図4において、波形④がこれまでの光変調パルス例である。また、光変調パルス④の半導体レーザ光をコリメートレンズにて平行光にした後、走査光学系を経て感光体表面上で結像させる光学系においてビームプロファイルがガウス分布をしている場合の露光エネルギー分布を②に示す。一方、本発明の場合では、光パルスは③のようなパターンになり、そのパターン③で露光した場合の同一光学系による露光エネルギー分布を①に示す。図5は従来の変調光パルス幅を狭くした場合の例であり、本発明の光の変調パターンもこれに対応するように変化させた露光エネルギー分布を示す。

【0047】図6は以上のパルス幅を順次変化させた場合の従来例を示し、図7は本発明の変調パターンにより変化させた場合の露光エネルギー分布を示す。図7に示す光変調パターンは、図4に示す光パターンと、図5に示すように左右対称な細い第1の光パルス列③と、中心にて光らせる第2のパルス④の組み合わせである。第1のパルス③の間隔は、露光エネルギー分布を細くする場合には狭くし、太くする場合には太くしかつ、この場合には第2のパルス④により露光エネルギー分布の中心での低下を抑制するようにしている。

【0048】以上の図から分かるように、本発明の光パルスにて露光することにより約20%程度光ビーム径が細くなった場合に近い、急峻な露光エネルギー分布を得ることができる。このようにすることにより感光体表面電位分布がビーム径をより細くした場合と同じような表面電位分布が得られることになるので、粒状性(S/N比)がよい画像を得ることができる。

【0049】また、本レーザビームの変調に対しては、走査光学系について説明してきたが、レーザ光が照射される対象物が回転しているような（例えば光ディスク等）においても有効な方法となる。

【0050】図8は上記光変調パルス列を生成するためのパルス変調ユニット（Pulse-Modulation-Unit）300を示している。図8において、Clockは画像データを転送するクロックである。入力画像データはLUT（Look-up-table）301により変調パルス列に対応するデータに変換され、この変調データはLoad信号に応じてシフトレジスタ（Shift-Register）302にロードされる。一方、クロックClockの周波数を8倍する高周波クロックVCLKを、PLLループ回路を構成する位相比較器（Phase-Detector）303、ループフィルタ（Loop-Filter）304、電圧制御発振器（VCO）305、1/8分周器306により生成し、このVCLK信号に従いシフトレジスタ302の変調データ（Modulation Data）を出力する。

【0051】このようにして、図5に示す光パルス③は、図9に示すようなデータにより生成され、また、図4に示す光パルス④は図10に示すようなデータにより生成される。また、ここでは画像データをLUT301により変換する構成をとることにより、レーザ走査光学系を変更した場合にもLUT301の内容を変更するだけで、同一回路に図4、図5に示すような光パルス③を自由に選択できるようにしている。このような構成にすることにより、自由度の高い光変調パルスを生成することができ、また、本構成による光パルス生成により粒状性がよい画像を得ることができる。

【0052】図11は図8に示されたパルス変調ユニット300からの変調データに応じて半導体レーザを制御・変調するためのLDコントロールユニット310及びLD周辺回路を示している。以下、図11に従い動作を



説明する。制御回路311により、光出力P0の場合、半導体レーザLDの光を受光する受光素子PDの出力電流により発生する電圧（可変抵抗REXTを介して光起電流が電圧に変換される）をXPD端子にて検出し、これをVCONT電圧と比較・制御し、制御結果がXCH端子に接続されているコンデンサ（Hold-Capacitor1）によりホールドされる。

【0053】一方、光出力がP1の場合にも同様にして制御され、コンデンサ（Hold-Capacitor2）にホールドされる。光出力は、P1とP0の間の電圧に対して直線であることを仮定して（実際に、半導体レーザのI-L特性によりこの直線性は精度よく成立する）多段階に変調される。

【0054】パルス変調ユニット（Pulse-Modulation-Unit）300からの変調データをDn（画素クロックVCLKの速度で変化するデータ）とし、半導体レーザ駆動電流をInとし、コンデンサ（Hold-Capacitor1）、（Hold-Capacitor2）の電圧をV1、V2とし、また、 $P1 = P0 / 2$ としたとき

$$I_n = \{ (V_0 - V_1) \times D_n + V_1 \} / R_E$$

ここで  $D_n = -1 \sim 1$  となるように制御回路311と変調信号発生回路312により設定している。

【0055】このようにして、パルス変調ユニット300からの出力データに従い、半導体レーザLDの光パルスパターンを生成することができ、図4、図5における露光エネルギー分布を生成することが比較的容易に可能となり、粒状性のよい画像を得ることができる。

【0056】ここで、図8に示すパルス変調ユニット300においては、画素クロックCLKの8倍になる周波数の高周波クロックVCLKを画素クロックCLKから生成する構成を示したが、通常、画素クロックCLK自身も基準クロックから生成される。半導体レーザLDを光源とする場合、レーザの発振波長跳びや、複数の発光部の発振波長の差により、走査光学系の持つ色収差（いわゆる倍率の色収差）による露光（走査）位置ずれが発生するため、画素クロックを微調できる画素クロック生成回路が要求される。

【0057】例えば、1走査の画素数を14,000、画素クロック周波数を60MHz、走査両端での画素位置精度を1/4画素幅にすると、単一PLLでこの周波数設定を可能とするには、

$$60\text{MHz} \div (14000 \times 4) = 1.07\text{kHz}$$

となり、約1kHzの基準クロックでPLLを制御しなければならない。この結果、1kHz毎にしかPLLの位相変動量を検出できなくなり、PLLとしての制御帯域幅は低下する。さらに外乱等に弱くなり、画素位置精度を向上させる為にはPLLを構成するVCO305の安定性に対する要求が非常に高くなってしまふ。これを避けるために2重のPLLによる方法等もあるが、このような回路を別途持つことにより、PLL回路のジッタ

が2重に蓄積されることとなりジッタの拡大を引き起こす。また、コスト的にも割高となってしまふ。

【0058】図12はこの問題点を解決すると同時にVCLK信号生成と画素クロック生成を実現した実施例を示す。以下図12に従って動作を説明する。図12に示す回路では、基準クロックと、VCLK信号をプログラマブル・カウンタ（Programmable-Counter）321によりN分周した結果とを比較する位相周波数比較回路322と、位相周波数比較回路322の結果をフィルタするループ・フィルタ（Loop-Filter）323と、ループ・フィルタ323の出力電圧に応じて発振周波数が変化するVCO324とからなるPLLループによってVCLK信号を生成する。また、プログラマブル・カウンタ321の分周比Nは外部から分周比設定により設定される。

【0059】このようにしてVCLK信号を生成してVCLK信号と位相同期パルスにより、ロードパルス・ジェネレータ325から1/8分周回路326にデータ=0をロードすることにより、位相同期パルスに位相同期した画素クロックを、VCLK信号の1/8の周波数で生成する。

【0060】この回路はまた、同様のタイミングであらかじめ設定された位相データをレジスタ325からローすると、画素クロックとの位相差を持った内部クロックを生成する1/8分周回路327を有している。1/8分周回路327は、画素クロックが遅い場合には必要ない。また、画像データを転送するまでの時間遅れが問題とならなければ必要とはならない。

【0061】しかしながら、画素クロックの周波数が高い場合には、本出力に同期させた外部からの画像データを取り込むとき、本画素クロック出力から画像データ入力までの遅延時間が問題となり、正しくデータを取り込むことができなくなる。このような場合には、本実施例のようにあらかじめ設定された位相データに基づいて、画像データ取り込みクロックの位相を、出力画素クロックに対し可変にしておくことで回避できる。

【0062】さらに、本実施例では、Phase-Set信号により1/8分周回路326、327のカウント（分周）をイネーブル／ディスエーブルできるようになっている。

これは、本実施例の場合には、Phase-Set信号の立上りエッジをVCLKで捉え、VCLKの1クロックサイクル分カウント（分周）動作を停止させるようになっている。このようにすることにより、画素クロック及び内部クロックの位相を1/8クロック刻みで遅らせることができる。1/8クロックサイクルの位相遅れ量を、1走査期間中に決められた間隔（もしくは決められた間隔に近い）で実行することにより、1走査期間での画素クロックの周波数を等価的に微調できることになる。これは、PLL-LOOPにより設定可能な周波数可変ステップをより細かく設定できることと等価である。

【0063】逆に微調において、 $1/8$ クロック早める場合は、図13に示すように、データ=0をロードする代わりにデータ=1をロードし、分周数=8→7とすることにより、 $1/8$ クロック分短くすることができる。このとき、ロードデータが設定されるとこれがレジスタ329から分周回路326-1にデータが出力されるが、分周数=7が出力されたときは短くなり、分周数=9が出力された場合は延びることになる。

【0064】別の方法としては、もともとの画素クロックを縮めて短めに設定しておき、少しずつ1走査期間中の決められた間隔（もしくは決められた間隔に近い間隔）で、画素クロック及び内部クロックの位相を $1/8$ クロック刻みで遅らせることにより、微調をおこない所望の画像を得ることができる。

【0065】ここで、光源部である半導体レーザLDの発光部が、複数の発光部から構成されるマルチビーム光学系の場合、各発光部の発信波長が異なると、被走査面を走査結像させるための走査光学系の持つ色収差により、各発光部による走査光の走査幅に差が生じ、走査線毎による画像位置ズレやハイライト部における濃度ムラを引き起こし、画像劣化の要因となる。

【0066】この走査幅の差を上記の位相シフトを用いる事により補正をかけることができ、所望の狙いの書込位置に書き込むことができるようになる。走査幅が延びてしまう発光部に対しては、短くなるようにシフトさせ、走査幅が縮んでしまう発光部に対しては、長くなるようにシフトさせればよい。一方、あらかじめ元々の画像クロックを縮めて短めに設定してある場合は、走査幅が延びてしまう発光部と走査幅が縮んでしまう発光部とでそれぞれシフト量を変えることにより対応すればよい。

【0067】ここで、半導体レーザアレイを傾けた場合、上記でも述べたように、図2(b)に示すように、主走査方向の発光点位置が間隔 $d$ だけズレてしまい、それにより各発光点から射出した光束の被走査面上での走査開始位置もズレてしまう。その場合、被走査面上では主走査方向の光学系全系の倍率が掛けられた量だけずれる。

【0068】それを示したものが図14であり、これは主走査断面における、複数の発光点の間隔と被走査面上での複数の光スポットの間隔の関係を示すものである。この図14では、間隔 $d$ で射出された光束は、カップリングレンズ13、14と結像レンズ5、6の焦点距離の比による倍率関係により、被走査面上を間隔 $d'$ で走査する状態を模式的に現した図である。走査光束は結像レンズ5、6による集光作用により光スポットとして被走査面上を走査する。上記により各光スポットは主走査方向に $d'$ ずれて走査し、主走査方向の光学系全系の倍率を $\beta m$ とするとき

$$|d'| = |\beta m \cdot d|$$

の関係が成り立つ。

【0069】一方、傾けない場合でも、半導体レーザアレイの製造時の加工誤差により生じる発光点の位置ズレにより上記と同様に被走査面上での走査位置がずれてしまう。

【0070】また、半導体レーザアレイを傾けた場合と同様に、複数の半導体レーザにより光源部を構成する場合も、主走査方向において発光点位置がズレた構成となっているため、各発光点から射出した光束の被走査面上での走査開始位置もズレてしまう。この主走査方向の走査開始位置のずれは、半導体レーザアレイを傾けた場合と同様に、最終的な画像品質の劣化の要因になってしまうため、走査開始位置の補正を行う必要がある。

【0071】上記の発光点の位置のずれを言い換えると、偏向走査平面（主走査平面）と直交する軸に対する半導体レーザの各発光点の相対的位置が異なる場合、といい変えることができる。このような状態の場合、つまり変更走査平面と直交する軸上に各発光点の相対位置がない場合に、被走査面上の光スポットの走査開始位置は主走査方向においてずれた位置になり、書込端部はがたがたした画像になってしまう。

【0072】図15は被走査面上での光スポットの走査するもようを模式的に示している。半導体レーザアレイを傾けることにより被走査面上を走査する光スポットは $d'$ の間隔で走査する。このとき、画像領域前に配置されている、同期検知光学系（走査光検出手段）からの検出信号に基づき、所定のタイミングの後、画像変調信号に応じ半導体レーザアレイから光を発振し、被走査面上に静電潜像を形成する。半導体レーザアレイはこのとき、同期検知光学系を最初に横切った光束を基準に他の発光点も発振のタイミングも取る。そのため、このままでは画像領域において各発光点による光スポットの書込開始位置はずれてしまい、画像劣化の要因となる。

【0073】そこで、上記に記載の方法により、一番最後に画像領域を書き込む光束が画像領域に到達するタイミングに画像情報を書込開始するように位相をシフトさせ遅らせることにより、被走査面上に形成される静電潜像の開始位置をあわせることができる。 $d'$ が $N/8$ クロックの長さとするとき、図15に示すような4つの発光点を持つ半導体レーザアレイの場合、一番先行している走査光に対する制御信号は、 $3 \cdot N/8$ クロックシフトすれば一番最後とあわせることができる。同様に、2番目は $2 \cdot N/8$ クロック、3番目は $N/8$ クロックシフトさせればよい。

【0074】上記例では一番最後の走査光を基準にしたが、どこを基準にしてもよい。その場合、任意に短くなるようにシフトしたり、長くなるようにシフトさせればよい。以上のようにして、半導体レーザアレイを傾けた場合でも、画像の書き出し端部をあわせることができるようになる。

【0075】 実際的にPLL-LOOPの周波数可変ステップを細かく設定しようとする場合は、図13に示すプログラマブル・カウンタ321の分周設定範囲を広く取り、かつ、基準クロックを低くするか、もしくはVCLK信号を高くすることでも設定可能ではあるが、基準クロックを低くすることは、VCLK信号の周波数変動が基準クロックサイクルでしか検出することができなくなり、VCO324の発振周波数安定化が大きな技術課題になってしまう。

【0076】 例えば、1走査の画素数を14,000、画素クロック周波数を60MHz、走査両端での画素位置精度を1/4画素幅にすると、単一PLLでこの周波数設定を可能とするには

$$60\text{MHz} \div (14000 \times 4) = 1.07\text{kHz}$$

となり、約1kHzの基準クロックでPLLを制御しなければならない。この結果、1kHz毎にしかPLLの位相変動量を検出できなくなり、PLLとしての制御帯域幅は低下する。さらに外乱等に弱くなり、画素位置精度を向上させる為にはPLLを構成するVCO324の安定性に対する要求が非常に高くなってしまふ。これを避けるために2重のPLLによる方法等もあるが、このような回路を別途持つことにより、PLL回路のジッタが2重に蓄積されることとなりジッタの拡大を引き起こす。また、コスト的にも割高となってしまう。一方、VCLKを高くすることは、VCO324の発振周波数を高くしなければならず、これも技術的課題となる。

【0077】 ところが、本発明によればVCO324の発振周波数を高くできればそれを上回ったステップで、VCO324を安定化できればそれを上回るステップで周波数設定が可能となる。また、Phase-Set信号による位相遅れを生成する1/8クロックサイクルの間、半導体レーザを発光しないようにしておくことにより、露光エネルギー量の不連続性は解消できる。

【0078】 また、Phase-Set信号を半導体レーザが発光しないときに設定してもよい。走査毎に少しずらした位置で設定してもよい。ページの最初のラインのみで設定してもよい。さらに、装置の電源が投入されている間はあらかじめ設定された時間間隔で設定してもよい。時間間隔は装置の内部時計を内蔵して計測してもよいし、時間カウンタ等の方法により計測してもよい。

【0079】 このようなタイミングで位相遅れ量を変化させることにより、出力画像に影響なく画素クロック位相を変更できる。また、Phase-Set信号を走査の開始タイミングのみ走査毎に一定刻みで増加もしくは減少するように(例えば、1/8→2/8→3/8→4/8→5/8→6/8→7/8→0)変化させることにより、1/8クロックサイクル毎に各画素の位置を制御することができる。

【0080】 このようにすることにより、画像出力のスクリーン角を微調することにより高画質画像を得ること

ができる。また、その位相変更回路の設定のタイミングを任意に変更できるようにすることにより、様々な場合に対応できるようになる。

【0081】 図16に示す構成では、図12に示す構成に対してN進カウンタ(N-Counter)330が追加され、N進カウンタ330が内部クロックをN-カウント毎にPhase-Set信号を自動的に生成し、1/8画素クロック位相を遅らせるようにしている。本実施例の場合には1/8クロックの時間、光パルスを出力しないようにしている。このようにしても、図4のように露光エネルギー分布が不連続になることはない(半導体レーザLDのビーム径に対し充分短い時間のみ光を消しているため、また、画素の区切りのタイミングであるため)。

【0082】 なお、N進カウンタ330のカウント値Nの値は、外部からのシリアルデータにより設定可能となっている。このようにすることにより、PLL-LOOPにより設定できない刻みの周波数をシリアルデータにより設定できるようになるので、等価的に周波数刻みを細かく設定できるようになる。

【0083】 ポリゴンスキャナ等の偏向器の、偏向反射面の回転軸(中心)からの距離のばらつき(内接円半径のばらつき)は、被走査面上を走査する光スポット(走査ビーム)の走査幅のばらつきを発生させる。同期光を検出後、所定のタイミングで書込信号が発せられ半導体レーザが発光を開始し、個々の発光源に対し1走査分ずつのデータが送られ、その繰り返しにより被走査媒体上に潜像として画像が形成させる。このとき、ポリゴンスキャナ等の偏向器における上記要因により、各走査線の走査長のムラ(ばらつき)が現れ、書込倍率誤差と同様に主に画像端部で目立ち、前記書込終了端のばらつきが画像として、画像端部の揺らぎとして現れる。

【0084】 本発明によれば、この走査幅のばらつきも上記画素クロック及び内部クロックの位相をシフトさせることにより補正(書込端部をあわせる)事が可能になる。偏向器を要因とする走査幅のばらつきは偏向反射面が変わることにより発生し、偏向反射面の周期にあわせて周期的に発生する。よって、偏向反射面のどの面で偏向走査しているか判別する必要が生じる。その方法の一例としては、偏向器の上面にマーキングを行い、そのマークを読み取る毎に1回転したことが認識できる。また、各走査の開始前に同期検知系により入力信号を得て、この2種類の情報により今どの面で走査しているか判定できる。

【0085】 図17を参照して説明すると、1/nカウンタ(1/n Counter)331は、偏向器からのマーク検出信号によりリセットされ、リセット後再び同期パルス信号のカウントを開始して、1, 2, 3, ..., n面をカウントし、再び偏向器からのマーク検出信号によりリセットされる。この繰り返しにより偏向器の何面で偏向走査しているかを判別可能となる。

【0086】図18は図16に示す構成に対して、ラインカウンタ333とカウント値設定部334が追加されている。偏向反射面により走査幅が伸び縮みするため、各面に対する情報をライン情報としてカウント値設定部334に格納しておき、次にラインカウンタ333がどの面で被走査面を走査するかを識別信号に従い、このライン情報をN進カウンタ330にロードし、その情報に基づき画素クロック及び内部クロックの位相をどの様にシフトさせるかを決定する。すなわち、識別された偏向器の反射面数をラインカウンタ333からのデータによりライン情報をN進カウンタ330にロードしてカウント値を設定し、N進カウンタ330によりPhase-Set信号を生成し、位相をシフトさせる。なお、上記動作は光源数に限らず同様であり、光源数が1つでも複数の光源から構成される場合でも同様の効果を有する。

【0087】図19は、画素クロックに対して内部クロックの位相を位相データに応じて制御するタイミング図であり、上から順に、VCLK信号、同期パルス、リセット信号、画素クロック、画像データ、Reset2信号、内部クロックを示す。また、図19の動作は位相検出Set信号=Lのときのみ動作する構成としている。このようにすることにより、位相検出Set信号=Lのときには常に同期パルスが有効となり、内部クロックと画像データの位相関係がコントロールされるようになる。一方、電源投入の最初のタイミングのみ位相検出Set信号=Lとすることにより、初期設定された位相差を維持することもできる。

【0088】図20は図8の場合と対比して、LUT301のビット数を低減した場合の方法を示し、1画素の中心を基準に左右独立なパルスを選択できるようになっている。また、シフトレジスタ302ではなくVCLK信号を8分周するときの8位相のパルス(図21に示す)を選択する選択テーブルを設定することにより、任意の位置にパルスを生成する生成方法を示したものである。このようにすることにより図8よりも選択可能なパルス列範囲は狭くなるが、LUT301の回路規模が小さくなり、図5及び図7のような光パルスを得る場合には低コストにて有効な方法として実現できる。

【0089】図22は光出力強度のピーク値と半導体レーザのバイアス電流を制御するLD駆動回路において、カソードがコモンとなっている半導体レーザに対する構成を示している。図中、半導体レーザLDの光出力を受光素子PDで検出し、検出された結果を誤差増幅器(Error-Amp1)341により電圧変換して、基準電圧(Reference Voltage)と比較し、制御値をコンデンサ(Hold-Capacitor1)に保持する制御を行っている。また、本実施例では、VCC=80mVの電圧となるようにRE端子電圧を制御するように誤差増幅器(Error-Amp2)342の制御結果をコンデンサ(Hold-Capacitor2)に保持している。

【0090】なお、誤差増幅器341の制御タイミングは、半導体レーザLDを発光させるLDON信号がアクティブなとき、一定時間遅れて制御させている。また、誤差増幅器342は半導体レーザLDを消灯したときのバイアス電流が一定値となるように、LDON信号が非アクティブのとき一定時間遅れて制御するようにしている。

【0091】このように、LDON信号から一定時間遅れて制御を開始するようにすることにより、半導体レーザLDの光出力から受光素子の受光電流、受光電流を電圧に変換、誤差増幅器341に信号の伝送における遅れ時間による誤差が発生しないようにしている。

【0092】また、バイアス電流の制御タイミングにおいても同様である。更に、半導体レーザLDをバイポーラトランジスタ343のエミッタに接続することにより、バイポーラトランジスタ343のベース電圧をできる限り遅れが発生しないように半導体レーザLDに伝える構成となっている。したがって、本構成例では、半導体レーザLDの端子間電圧を所定電圧にすることにより、所定の光出力を得る構成をとっている。このようにすることで、半導体レーザLDを高速に変調することができる。

【0093】図23は図22の変形例として、アノードコモンの半導体レーザLDを使用した場合のLD駆動回路を示す。本実施例では図22と比較して、半導体レーザLDをトランジスタ343のコレクタに接続している。このようにすることにより、ほぼカソードコモンの半導体レーザLDと同様な回路で実現できる。この結果、アノードコモンとカソードコモンの半導体レーザLDを、同一IC上で使用可能にすることが実現できる。

【0094】図24は半導体レーザLDを制御するタイミングを生成するために、LDON信号=HのときコンデンサC1を急速充電し、LDON信号=LのときにはコンデンサC1の電荷を一定電流で放電させることにより、細いパルス列がきたときには制御しなくなるようにしている。このようにすることにより、単純な遅延回路+論理回路構成に比較し、狭いパルス列については制御値をホールドすることになり、制御精度が向上する。

【0095】図25は図22、図23のように半導体レーザLDの接続を実施した場合、半導体レーザLDの光を検出する受光素子PDの端子電圧が、アノードコモンの場合にはGNDを基準に変化し、カソードコモンの場合にはVCCを基準に変化する性質を用いて、受光素子PDの端子電圧がVCC/2以下の場合にはアノードコモンの半導体レーザLDが接続されており、そうでない場合にはカソードコモンの半導体レーザLDが接続されていることが分かる。

【0096】これを回路的に実現したものが図25である。このようにすることにより、アノードコモン半導体レーザLDかカソードコモン半導体レーザLDであるか

を自動的に判別し、図22、図23に従った制御方向を変えることができ、アノード共通半導体レーザLDとカソード共通半導体レーザLDの両方に対し同一回路(IC)を使用することができる。

【0097】図26は、以上記載してきた事柄をまとめ、1チップICとして実現した場合の実施例である。また、本実施例では、画素クロック周波数は同一の周波数であり、同期信号は2種類により独立に制御でき、また、半導体レーザを制御変調する回路部は2チャンネル分有している。図中、基準電源供給回路(Voltage-Reference)350は本IC全体のものであり、他の回路ブロックへ基準電源VREF、IREFを供給する。位相検出器(Phase-Detector)351、VCO352、クロック・ドライバ(Clock-Driver)353、11ビット・プログラマブル・カウンタ(11BIT-Programmable-Counter)354によりPLL-LOOP回路を構成し、カウンタレジスタ355に設定された12ビットデータのうち、下位1ビットがクロック・ドライバの出力クロックVCLKの位相を $\pi$ 遅らせるように設定され、上位11ビットがプログラマブル・カウンタ354の分周比を設定している。このようにしてCLKの周波数は、 $F_{REF} \times N / 2$  ( $N$ : 12ビットデータ)となっている。

【0098】また、Xリセット・パルス・ジェネレータ(XResetPulse-Generator)356XとYリセット・パルス・ジェネレータ(YResetPulse-Generator)356Yはそれぞれ、ディテクト・パルス・セクタ358からの主走査同期検知信号(DETP1信号、DETP2信号)に同期してXreset信号、Yreset信号と、CLK信号の正転・反転かを選択されたXCLK信号、YCLK信号をXデバイダ・ドライバ(XDivider-Driver)357XとYデバイダ・ドライバ(YDivider-Driver)357Yに出力する。

【0099】ドライバ357X、357Yはそれぞれ、Xreset信号、Yreset信号とXCLK信号、YCLK信号に従い4分周して、セクタ358からのXDETP信号、YDETP信号に同期した画素クロックXPCLK、YPCLKを出力する。

【0100】また、図27に示されたようなタイミングチャートに従いADPhase信号、BDPhaseの立上りエッジに従い、画素クロックを1/8位相遅延させることができるようになっている。この結果、ライン走査毎に画素クロックの開始位置を1/8クロックサイクル毎に遅延制御することができる。

【0101】また、1ラインの走査期間中、M回立上りエッジを与えることにより画素クロック周波数を $F_{CLK} \times N / (N + M / 8)$ に等価的に変更することができる。更に、図27のタイミングチャートに示されたようにALDMASK、BLDMASK信号を生成することにより、画素クロックを1/8クロックサイ

クル遅延させ、タイミングでは半導体レーザを強制的にOFFにするようにして、画像濃度が急激に変化しないようにしている。

【0102】この場合には、自動的に半導体レーザLDを消灯させるようにしているが、あらかじめ画像データから1/8濃度減らしておくことにより、強制的に消灯させる必要はない。このように画像データからあらかじめ1/8減らしておく場合には、MaskEN信号をハイにすることにより、LDMASK信号を無効化する。

【0103】図28は、あらかじめ決められた規則に従って光変調パルスを生成する構成にした場合の実施例を示す。

【0104】図29においては、シリアルインターフェース401によりコードエリアプログラムカウンタ402にプログラムコードを書き込むことにより、画像データの有効書き込み期間、電子写真プロセス制御の濃度パターン生成、孤立点ドットの検出、及びそれに応じた画像データ変換処理を実施するユニットを構成して、上記記載事項を実現した実施例である。

【0105】なお、図29中、ALU403はクロック・ジェネレータ404の出力クロック(画素クロックの8倍)で動作を実行している。また、プログラムコードは各同期信号毎に所定のプログラムカウント値になるように制御されている。以上のように、ALU403は速度変換RAM405から転送されてきた画像データの処理して処理結果をLDコントローラ406にわたし、LDコントローラ406はこのデータに従い、半導体レーザLDを変調する。なお、図29中、速度変換RAM405は、このICへ転送されるクロックと書き込みクロックとの速度差を吸収する為のバッファメモリとなっている。

【0106】図30は図29の変形例を示し、ALU403の前段、後段にそれぞれレジスタ408、シフトレジスタ409が追加されている。図30において、ALU403は演算結果をシフトレジスタ409に、1画素分の光変調パターンに相当するデータパターンを、クロック・ジェネレータ404の8クロックサイクルに1回書き込み、シフトレジスタ409はクロック・ジェネレータ404のクロックに従い、LDコントローラ406へ変調データを受け渡す。

【0107】図31は図22に示す構成に対して、シェーディングデータを加算する構成が追加されている。

【0108】

【発明の効果】以上説明したように請求項1記載の発明によれば、複数の光束の各発光点の走査方向の位置ずれによる走査方向の書き込み開始位置のずれを補正するように前記出力画素クロックの位相をライン毎に制御するので、複数の発光点の主走査方向の位置ズレを補正して高品位な画像を得ることができる。

【0109】請求項2記載の発明によれば、マルチビー

ム光学系により光源部を構成する画像形成装置において、出力画像(画素)クロックと内部クロックとの位相差を設定できるようになっているため、ICに接続される画像データ転送回路ブロックとの画像データ転送遅延時間を適正にするよう設定でき、したがって、高速な画像(画素)クロック生成と同時に半導体レーザを制御することができ、また、そのICを提供できる。

【0110】請求項3記載の発明によれば、高周波クロックの周波数の設定自由度が向上し、画像(画素)クロックを書込み位置に同期でき、高速な画像(画素)クロック生成と同時に半導体レーザを制御することができ、また、そのICを提供できる。

【0111】請求項4記載の発明によれば、高周波クロックの周波数の設定自由度が向上し、さらに画像データから最適な露光エネルギー分布が得られる高速な光変調パターンが生成でき、高速な画像(画素)クロック生成と同時に半導体レーザを制御することができ、また、そのICを提供できる。

【0112】請求項5記載の発明によれば、高速化を実現でき、さらに複数の発光点の書き出し位置を微調整でき、高速な画像(画素)クロック生成と同時に半導体レーザを制御することができ、また、そのICを提供できる。

【0113】請求項6記載の発明によれば、半導体レーザ変調駆動回路を別の場所に設置できるため、光源部周りのレイアウトを行いやすくなり、高速な画像(画素)クロック生成と同時に半導体レーザを制御するICを提供できる。

【0114】請求項7記載の発明によれば、伝達速度の早い回路部分を一体化するため高速化を実現でき、本発明により高速な画像(画素)クロック生成と同時に半導体レーザを制御するICを提供できる。

#### 【図面の簡単な説明】

【図1】本発明に係る画像形成装置を示す構成図である。

【図2】図1の光源部の他の例の発光点を示す説明図である。

【図3】図2の光源部の一例を示す分解斜視図である。

【図4】従来の光変調パルスと露光エネルギー分布を示す説明図である。

【図5】本発明の光変調パルスと露光エネルギー分布を示す説明図である。

【図6】図4の光変調パルスを変化させた場合の露光エネルギー分布を示す説明図である。

【図7】図5の光変調パルスを変化させた場合の露光エネルギー分布を示す説明図である。

【図8】本発明のパルス変調ユニットを示すブロック図である。

【図9】図8のパルス変調ユニットの光変調パルスを示す説明図である。

【図10】図8のパルス変調ユニットの光変調パルスを示す説明図である。

【図11】本発明のLDコントロールユニットを示すブロック図である。

【図12】高周波クロック生成・画素クロック生成回路を示すブロック図である。

【図13】本発明の高周波クロック生成・画素クロック生成回路を示すブロック図である。

【図14】複数の発光点による走査を示す説明図である。

【図15】複数の発光点とその書き出し位置を示す説明図である。

【図16】高周波クロック生成・画素クロック生成回路を示すブロック図である。

【図17】偏向面の検出回路を示すブロック図である。

【図18】本発明の高周波クロック生成・画素クロック生成回路を示すブロック図である。

【図19】図18における主要信号を示すタイミングチャートである。

【図20】図8においてLUTのビット数を少なくした場合の光変調パルスを示す説明図である。

【図21】図20における8位相のパルスを示す説明図である。

【図22】LD駆動回路の一例を示すブロック図である。

【図23】LD駆動回路の他の例を示すブロック図である。

【図24】LD駆動回路を詳しく示すブロック図である。

【図25】他のLD駆動回路を詳しく示すブロック図である。

【図26】本発明をIC化した一例を示すブロック図である。

【図27】図26における主要信号を示すタイミングチャートである。

【図28】本発明をIC化した他の例を示すブロック図である。

【図29】本発明の全体構成の一例を示すブロック図である。

【図30】本発明の全体構成の他の例を示すブロック図である。

【図31】図22のLD駆動回路の変形例を示すブロック図である。

【図32】従来の画像形成装置を示す構成図である。

【図33】偏向器による画像端部のバラツキを示す説明図である。

#### 【符号の説明】

321 プログラマブル・カウンタ

322 位相比較回路

323 ループ・フィルタ

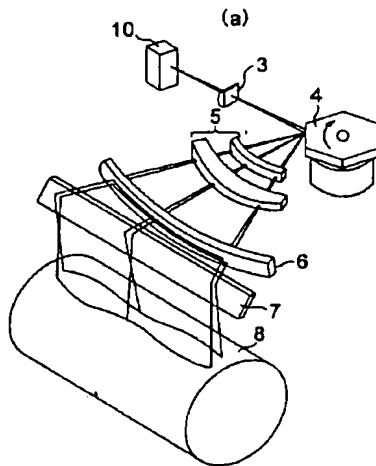
23

324 VCO

326-1, 327-2 分周回路

328, 329 レジスタ

【図1】

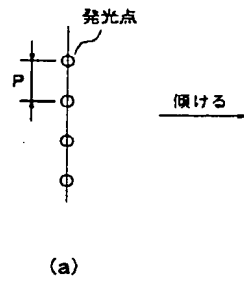


328a, 329a 位相検出回路

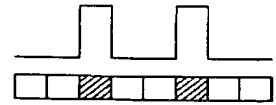
333 ラインレジスタ

334 カウント値設定部

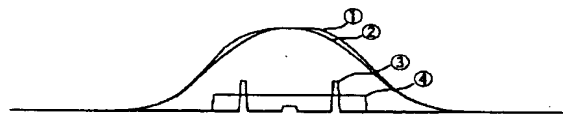
【図2】



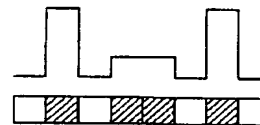
【図9】



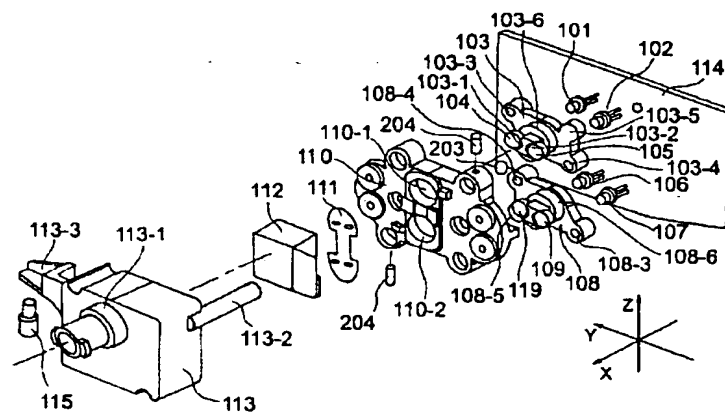
【図4】



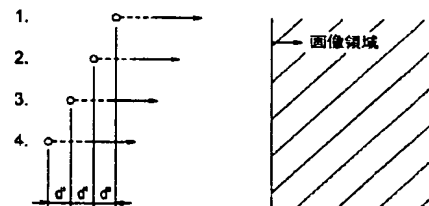
【図10】



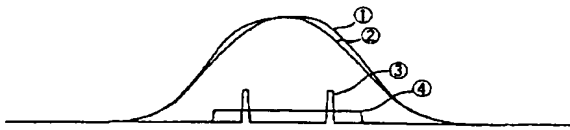
【図3】



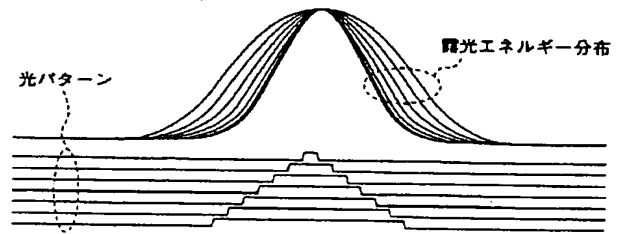
【図15】



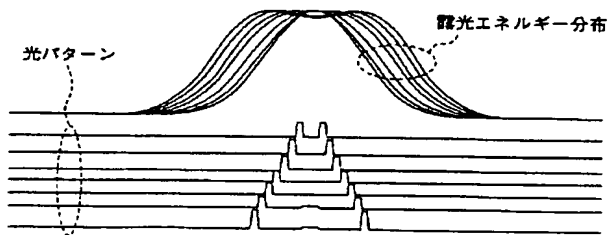
【図5】



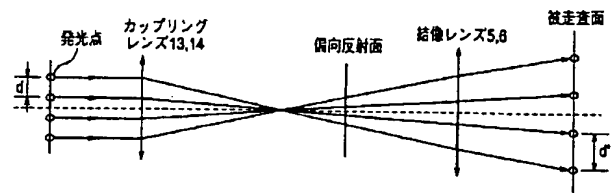
【図6】



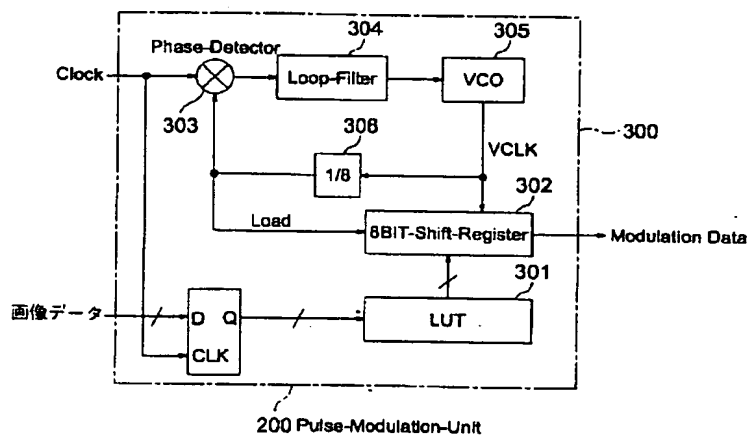
【図7】



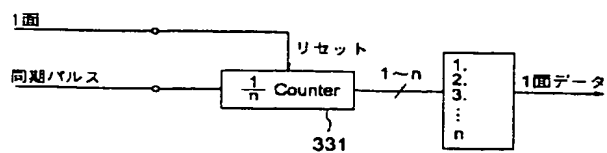
【図14】



【図8】

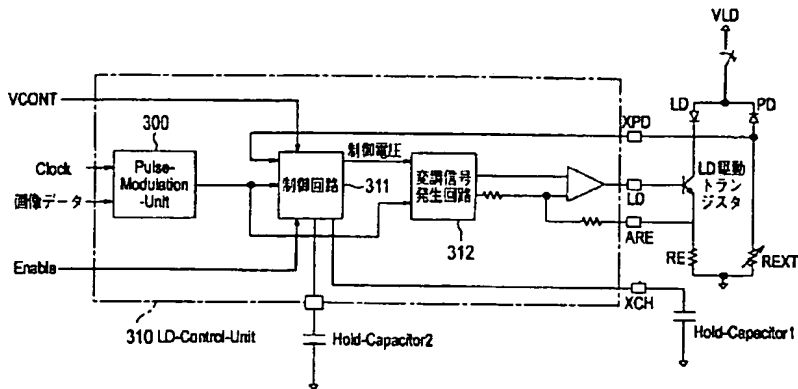


【図17】

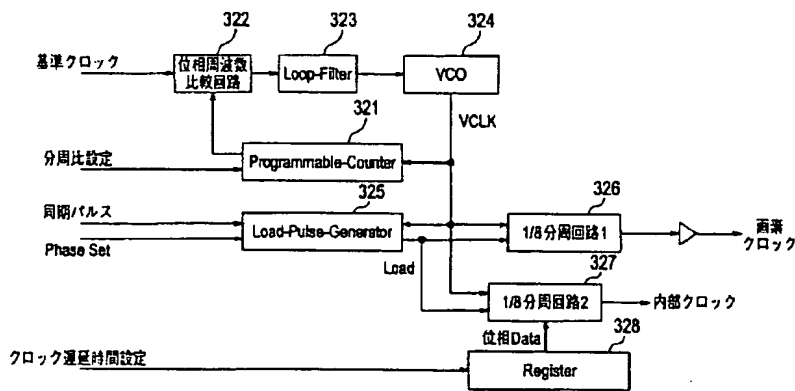




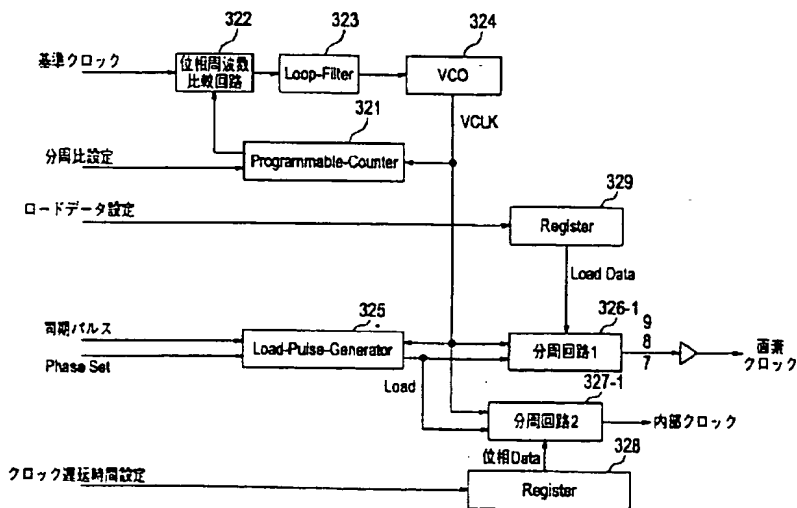
【図 1 1】



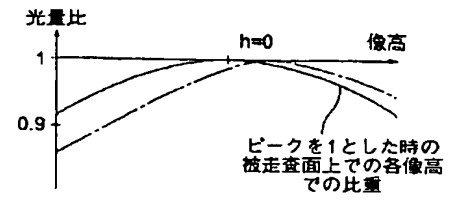
【図 1 2】



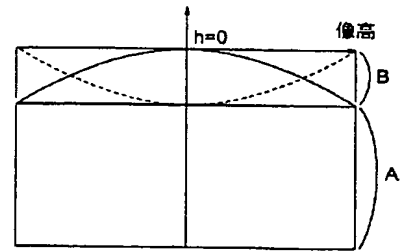
【図 1 3】



【図 3 3】

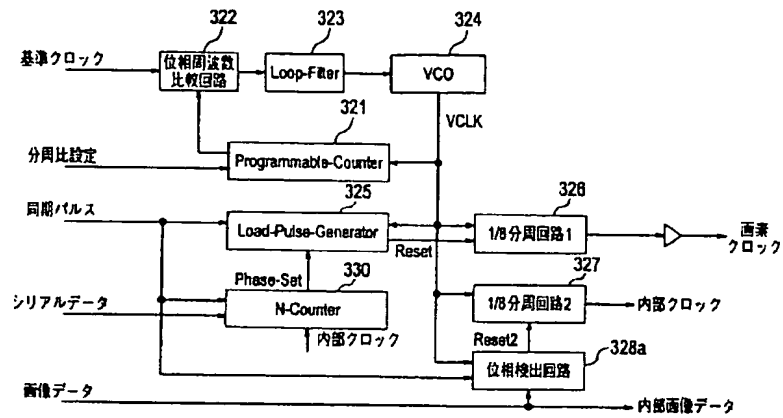


(a)

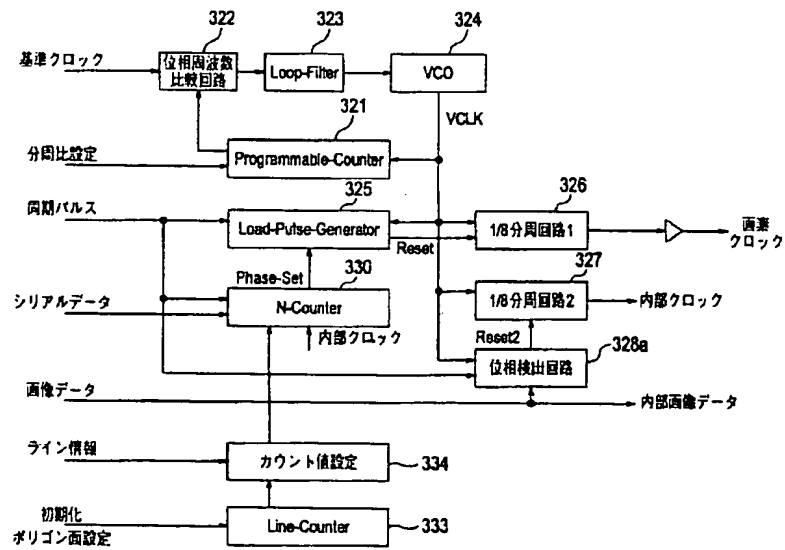


(b)

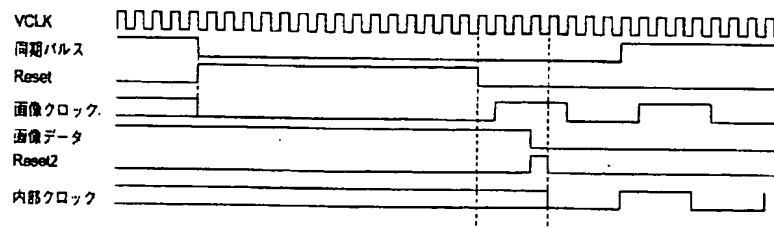
【図16】



【図18】



【図19】



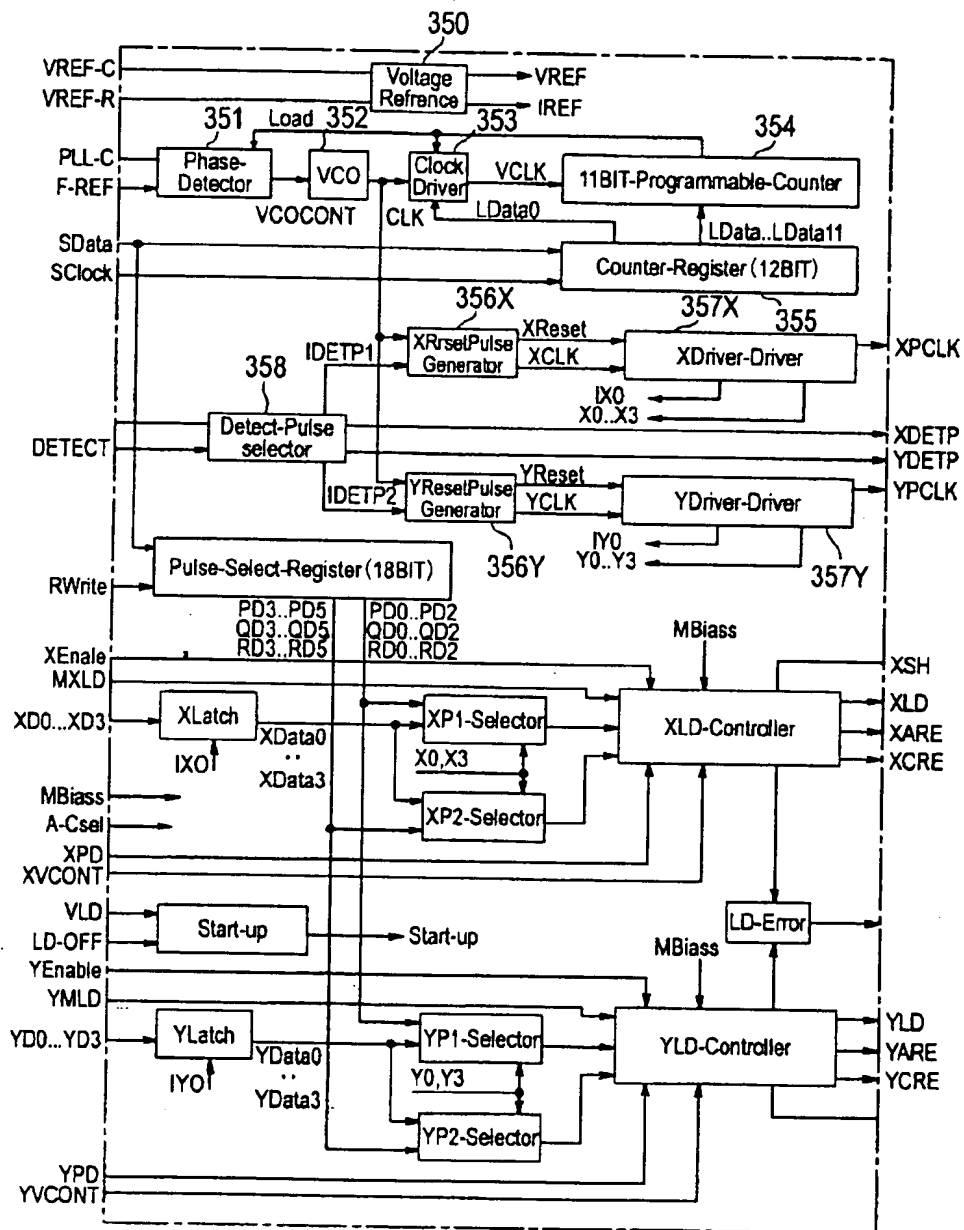
【図 20】

D0,D1	PD2	PD1	PD0	D0,D1	QD2	QD1	QD0	D0,D1	RD2	RD1	RD0	出力パルス																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																							
1	0	0	0	2	0	0	0	3	0	0	0																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																																								

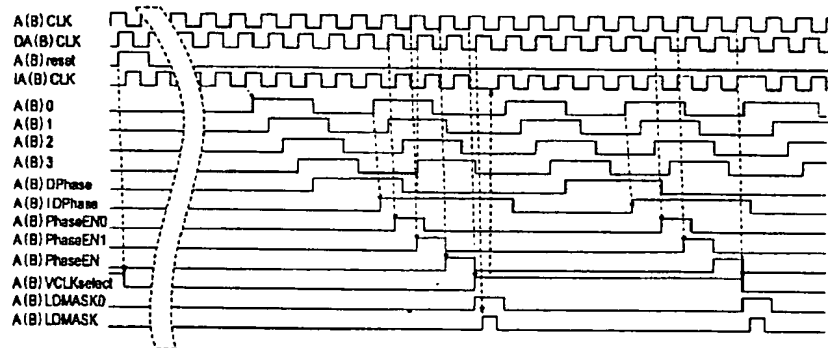
The schematic diagram of the LD control circuit shows the following components and connections:

- Inputs:** Reference Voltage, VCC-80mV, LDON, and a feedback signal from the PD pin.
- Amplifiers:** Error-Amp1 and Error-Amp2. Error-Amp1's output is connected to the PD pin and the input of a NOR gate (341). Error-Amp2's output is connected to the input of an AND gate (342).
- Logic Gates:**
  - NOR gate (341):** Its output is connected to the input of a Buffer.
  - AND gate (342):** Its output is connected to the input of a Buffer.
- Control Logic:**
  - A **Delay** block is connected to the LDON input and the input of the AND gate (342).
  - The output of the Buffer is connected to the base of a transistor (343).
- Output Stage:** Transistor (343) is connected to the LD pin (drain), the PD pin (source), and the RE pin (emitter). A feedback signal from the PD pin is also connected to the base of the transistor.
- Capacitors:** Hold-Capacitor2 is connected between the base and emitter of the transistor. Hold-Capacitor1 is connected between the emitter and ground.

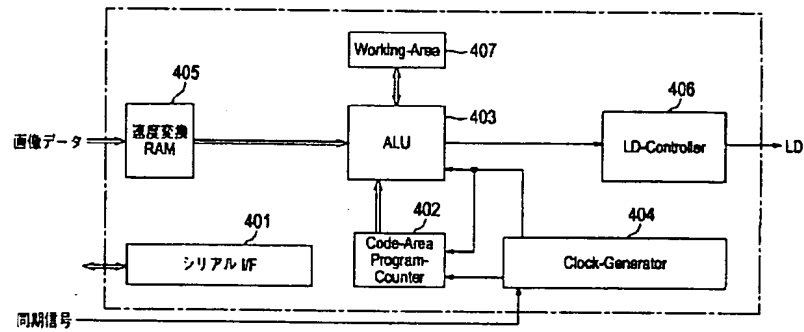
【図26】



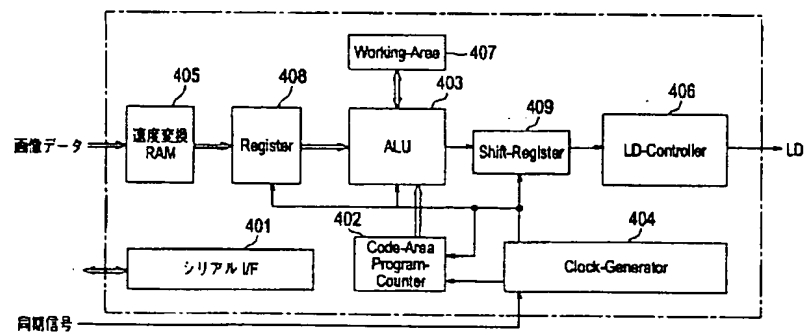
【図 27】



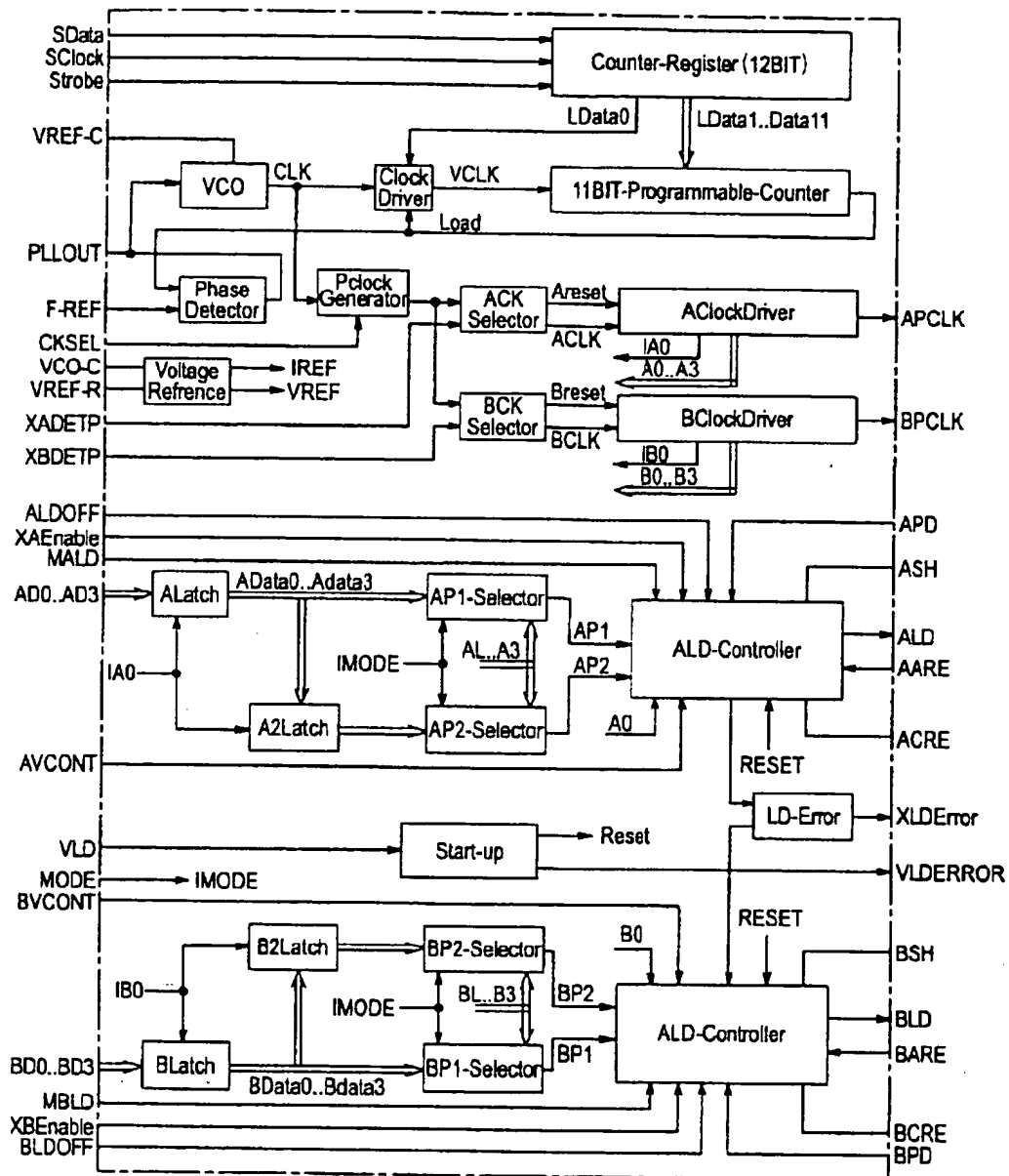
【図 29】



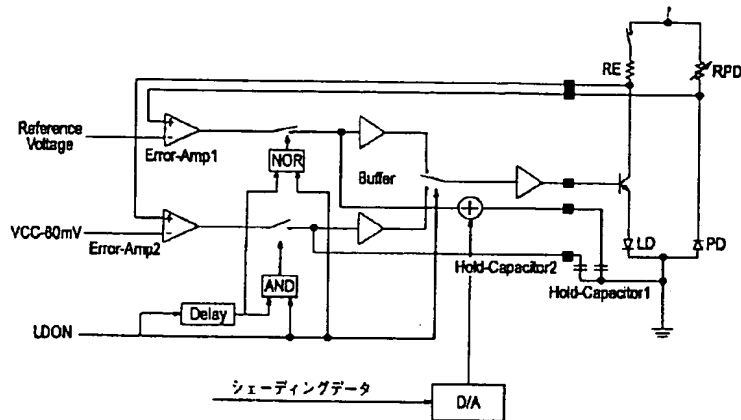
【図 30】



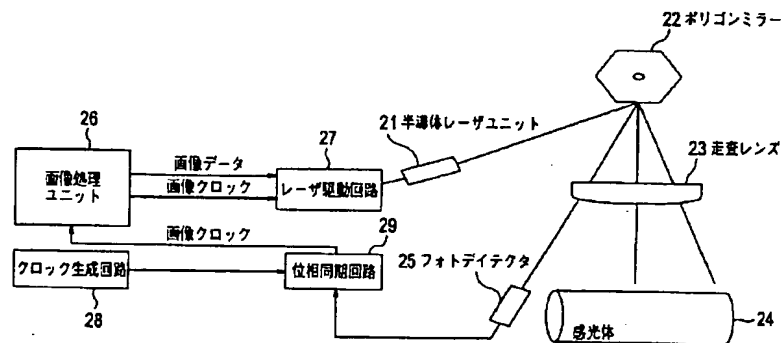
【図 28】



【図 31】



【図 32】



フロントページの続き

F ターム(参考) 2C362 AA10 AA13 BA56 BA60 BA68  
 BA70 BB05 BB15 BB28 BB37  
 BB38.CA22 DA09  
 2H045 AA01 BA02 BA23 BA32 CA98  
 5C072 AA03 BA15 HA06 HA13 HB08  
 HB11 HB13 XA01 XA05  
 5C074 AA10 AA11 AA12 BB03 CC22  
 CC26 DD11 DD15 EE02 EE06  
 GG09 HH02